เรื่องน่าอ่าน
สุรศักดิ์ สงวนพงษ์

จตุรัสเทคโนโลยี :Pentium กับอนาคตของพีซี

เจาะลึกความเป็นไป และความเป็นมา ของชิพตัวใหม่ล่าสุด ของอินเทลที่ชื่อว่า Pentium

มื่อกล่าวถึงการเปิดตัวซีพียูใหม่ในตระกูล 80X86 ของอินเทลนับตั้งแต่ 80286, i386 จนกระทั่งถึง i486 แล้ว ไม่เคยมีครั้งใดที่ข้อมูลตัวซีพียูจะถูกปิดเป็นความลับมากที่สุด และผู้คนในวงการไมโครคอมพิวเตอร์กล่าวถึงกันมากที่สุดเหมือนกับเพนเทียม (Pentium) ซีพียูตัวใหม่ล่าสุดซึ่งอินเทลเพิ่งเผยโฉมอย่างเป็นทางการเมื่อ 22 มีนาคมที่ผ่านมา

ตลอดระยะเวลา 15 ปีที่ผ่านมาของสถาปัตยกรรม 80X86 อินเทลได้ปรับปรุงซีพียูของตนเองให้มีขีดความสามารถสูงขึ้น เพื่อตอบสนองต่อความต้องการ ในงานประยุกต์ด้านต่าง ๆ จวบจนปัจจุบันที่งานด้านมัลติมีเดียเริ่มมีบทบาทสูงมากขึ้น และการถือกำเนิดของระบบปฏิบัติการใหม่ ๆ อย่างเช่น วินโดวส์เอ็นที และโอเอสทูได้ส่งผลให้ไมโครคอมพิวเตอร์ที่เร็วที่สุดที่มีอยู่ในท้องตลาดปัจจุบันกลายเป็นเครื่องที่มีสมรรถนะจำกัดและไม่พอเพียงที่จะตอบสนองต่อซอฟต์แวร์ขนาดยักษ์ดังกล่าวได้ ในจุดนี้เองที่เพนเทียมของอินเทลจะก้าวเข้ามาเป็นตัวอุดช่องว่างนี้ลงไป

มีอะไรอยู่ในเพนเทียม

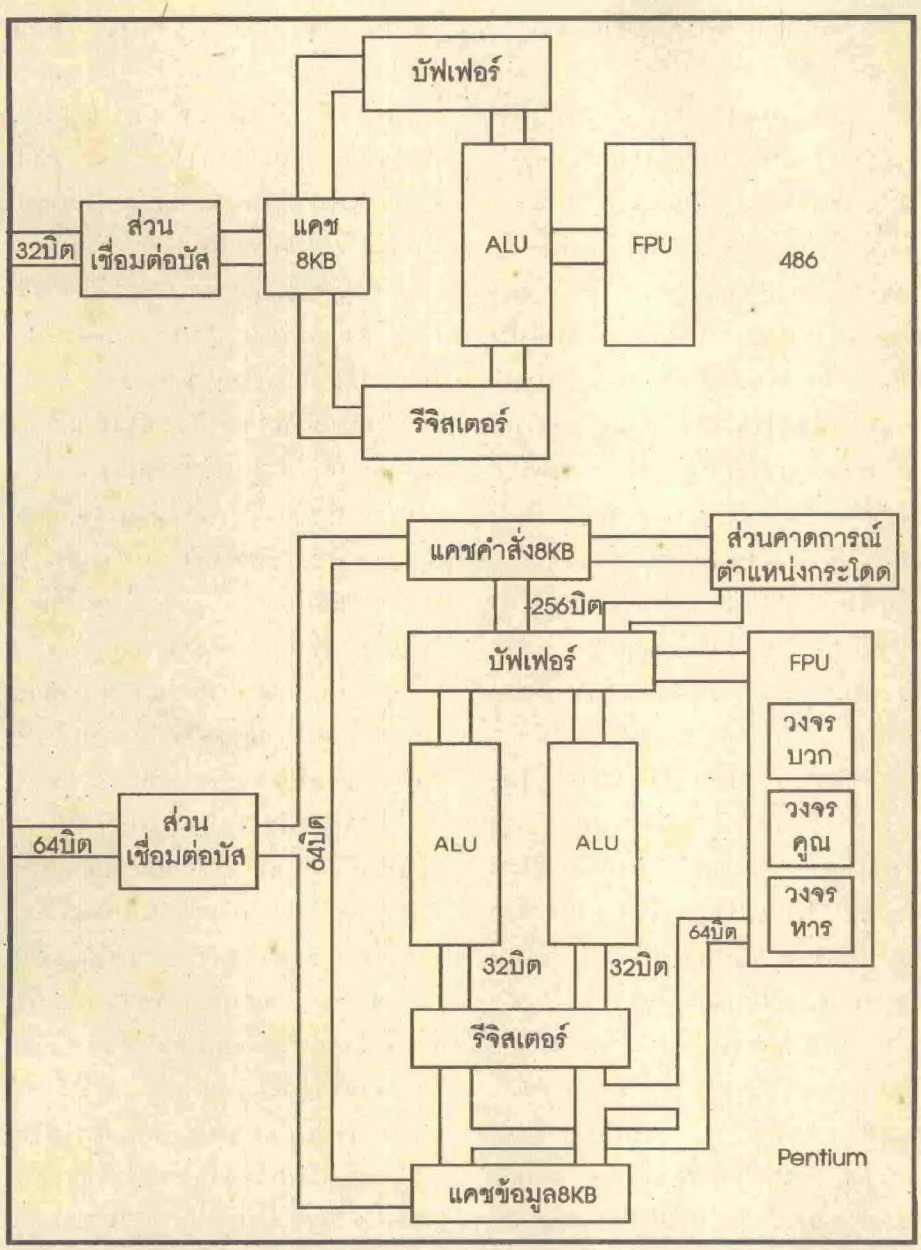
ถึงแม้ว่าเพนเทียมจะเป็นซีพียูชิพใหม่ที่มีสถาปัตยกรรมที่ค่อนข้างแหวกแนวไปจาก i486 อยู่ แต่ก็ต้องกล่าวว่าเพนเทียมยังคงเป็นผลผลิตทางพัฒนาการของ i486 แทนที่จะเป็นซีพียูใหม่ที่มีการเปลี่ยนแปลงสถาปัตยกรรมภายในอย่างหน้ามือกับหลังมือ

จุดเด่นสำคัญ 2 ส่วนที่นับได้ว่าเพนเทียมฉีกแนวออกไปจากซีพียูในรุ่นก่อนหน้าได้แก่

1. เป็นซีพียูแบบ CISC ตัวแรกที่ใช้สถาปัตยกรรมแบบซูเปอร์สเกล่าร์ ซึ่งปกติจะใช้อยู่ในซีพียูแบบ RISC

2. ใช้เทคโนโลยีการผลิตชิพด้วย BICMOS (Bipolas Complementary Metal Oxide Semiconductor)

การใช้สถาปัตยกรรมแบบซูเปอร์สเกล่าร์มีส่วนสำคัญที่ทำให้เพนเทียมมีสมรรถนะสูงเพิ่มขึ้นอย่างมาก ในขณะที่เทคโนโลยีของ BICMOS นั้นเป็นตัวการสำคัญหนึ่งที่ส่งผลให้การผลิต



รูปที่ 1 เปรียบเทียบสถาปัตยกรรม i486 และเพนเทียม i486 มีเพียง ALU และแคชอย่างละหนึ่งตัว ในขณะที่เพนเทียมมี ALU 2 ตัว และแยกแคชออกเป็น 2 ชุดเป็นแคชคำสั่งและแคชข้อมูลและขยายบัสข้อมูลทั้งภายในและภายนอกออกเป็น 64 บิต FPU ของเพนเทียมมีความซับซ้อนขึ้น โดยมีวงจรเฉพาะในการบวก, คูณและหารตัวเลขทศนิยมโดยเฉพาะ

เพนเทียม ต้องล่าช้าออกไปจากที่วางแผนไว้อย่างมาก

โครงสร้างภายในของเพนเทียมตามรูปที่ 1 ซึ่งใช้สถาปัตยกรรมแบบซูเปอร์สเกล่าร์ก็คือ มีหน่วยคำนวณทางคณิตศาสตร์และตรรกศาสตร์ (Arithmatic & Logical Unit หรือ ALU) ภายในชิพอยู่ 2 ตัว ซึ่งต่างไปจาก i486 ที่มี ALU เพียงตัวเดียว ส่วนที่เพนเทียมยังคงเหมือนกับ i486 ก็คือมีหน่วยคำนวณเลขทศนิยม (Floating Point Unit หรือ FPU) หรือตัวโปรเซสเซอร์คณิตศาสตร์อยู่เพียงหนึ่งตัว

ALU ขนาด 32 บิตทั้งสองตัวภายในเพนเทียมสามารถทำงานอย่างขนานกันไปได้ คำสั่งสองคำสั่งจะถูกอ่านจากบัฟเฟอร์ (Prefetch Buffer) เพื่อปฏิบัติงานพร้อมกันในแต่ละ ALU ได้ในกรณีที่คำสั่งทั้งสองเป็นอิสระต่างกัน (กล่าวอีกนัยหนึ่งก็คือ คำสั่งที่สองไม่ได้ขึ้นอยู่กับผลลัพธ์จากคำสั่งแรก) ด้วยเหตุนี้ภายในเพนเทียมจึงต้องมีส่วนควบคุมสำหรับตรวจสอบเพื่อแยกแยะว่าคำสั่งที่อ่านเข้ามาทั้งคู่นั้นสามารถแยกกันทำงานอย่างอิสระได้หรือไม่ หากว่าคำสั่งสองคำสั่งเป็นไปตามเงื่อนไขนี้ คำสั่งทั้งคู่ก็จะทำงานภายในเพนเทียมได้พร้อม ๆ กัน

ด้วยเหตุนี้ซอฟต์แวร์ใด ๆ ที่จะทำงานกับเพนเทียมได้เต็มประสิทธิภาพจึงจำเป็นต้องมีการปรับแต่งลำดับคำสั่งให้เหมาะสมตามเงื่อนไขดังกล่าว เพื่อใช้ประโยชน์จากสถาปัตยกรรมแบบซูเปอร์สเกล่าร์ได้สูงสุด

สถาปัตยกรรมของ i486 นั้นมีข้อมูลทั้งภายในและภายนอกขนาด 32 บิต และมีหน่วยความจำแคชขนาด 8 กิโลไบต์เพียงชุดเดียว แต่ในเพนเทียมได้ขยายบัสข้อมูลนี้ออกเป็น 64 บิต และแยกแคชออกเป็น 2 ชุด คือ แคชคำสั่ง (Instruction Cache) และแคชข้อมูล (Data Cache) เพื่อลดการแทรกแซงในการเข้าถึงคำสั่งและข้อมูลในแคชของ ALU ทั้งสองตัว ปัญหาหนึ่งที่ตามมาจากการแยกแคชออกเป็น 2 ชุดนี้คือ ปัญหาโปรแกรมที่เปลี่ยนแปลงตัวเอง (Self-modification Code) ดังนั้นเพื่อให้โปรแกรมประเภทนี้ยังทำงานได้อยู่ อินเทลจึงต้องสร้างกลไกควบคุมเพื่อ

ประสานแคชทั้งคู่ให้ทำงานไปด้วยกันได้

เทคนิคอีกประการหนึ่งที่ช่วยเพิ่มสมรรถนะของเพนเทียมขึ้นมาอย่างมาก ได้แก่เทคนิค "การกระโดดแบบคาดการณ์ล่วงหน้า" (Branch Prediction) โดยเฉพาะสำหรับโปรแกรมที่เขียนเป็นวงรอบให้ทำงานซ้ำ ๆ กัน ลักษณะของโปรแกรมนี้จะมีคำสั่งตรวจสอบเงื่อนไขเพื่อตัดสินใจว่าจะมีการกระโดดไปยังคำสั่งในตำแหน่งใดต่อไป ภายในเพนเทียม จะมี BTB (Branch Target Buffer) เป็นตัวจัดเก็บตำแหน่งของการกระโดดและคาดการณ์ว่าคำสั่งตัดสินใจถัดไปนั้นควรจะมีการกระโดดไปที่ตำแหน่งใด ผลจากการคาดการณ์นี้จะทำให้เพนเทียมอ่านเอาคำสั่งที่คาดว่าจะต้องมีการกระโดดไปนั้นเข้ามาเก็บไว้ในบัฟเฟอร์ ในกรณีที่การคาดการณ์เป็นไปอย่างถูกต้องเพนเทียมก็จะปฏิบัติคำสั่งไปได้อย่างต่อเนื่อง โดยการอ่านคำสั่งที่ถูกนำเข้ามาอยู่ในบัฟเฟอร์เรียบร้อยแล้ว แต่ถ้าหากว่าการคาดการณ์นั้นผิดพลาดก็จะมีการอ่านเอาคำสั่งจากตำแหน่งที่ถูกต้องเข้ามาใหม่ โดยใช้เวลาอย่างน้อยที่สุด 3 คาบสัญญาณนาฬิกา

ไปป์ไลน์ใน ALU

ALU ทั้งสองตัวในเพนเทียมมีขั้นตอนการปฏิบัติงานแบบไปป์ไลน์ (Pipeline) ซึ่งเป็นเทคนิคที่ใช้อยู่ในซีพียู RISC ทั่วไป เทคนิคไปป์ไลน์ในเพนเทียมมีอยู่ 5 ขั้นดังต่อไปนี้

1. อ่านคำสั่งเข้ามาเก็บไว้ก่อน (Prefecth)
2. ตีความหมายคำสั่ง (Decode)
3. กำหนดตำแหน่ง (Address Generation)
4. ปฏิบัติงาน (Execution)
5. เขียนกลับ (Write Back)

เมื่อคำสั่งใดคำสั่งหนึ่งถูกอ่านเข้ามาและถูกส่งไปยังไปป์ไลน์ขั้นที่ 2 เพื่อตีความหมายกลไกส่วนการอ่านคำสั่งจะว่างลง ดังนั้นคำสั่งที่อยู่ถัดไปก็จะถูกอ่านเข้ามาได้ และในขณะที่คำสั่งแรกผ่านการตีความหมายเสร็จสิ้นก็จะถูกส่งต่อไปยังไปป์ไลน์ขั้นที่ 3 เพื่อกำหนดตำแหน่งข้อมูล ซึ่งในจังหวะนี้คำสั่งที่สองก็จะถูกส่งต่อไปตีความหมาย และมีการอ่านคำสั่งที่สามเข้ามาใหม่ เป็นเช่นนี้จนกระทั่งคำสั่งแรกสุดเข้าสู่ไปป์ไลน์ขั้นที่ 5 ก็จะมีการอ่านคำสั่งที่ 5 เข้ามาเก็บ ในแต่ละขั้นของไปป์ไลน์นี้จะกินเวลาหนึ่งคาบสัญญาณนาฬิกา ดังนั้นโดยเฉลี่ยแล้วจึงเท่ากับว่า คำสั่งหนึ่ง ๆ จะกินเวลาการทำงานเพียง 1 คาบสัญญาณนาฬิกาเท่านั้น

ความจริงแล้วเทคนิคของไปป์ไลน์ดังกล่าวนี้ก็มีใช้อยู่ใน i486 แล้ว แต่ในเพนเทียมยังได้นำเทคนิคของไปป์ไลน์เข้ามาใช้ใน FPU อีกด้วย FPU ของเพนเทียม นับเป็นส่วนหนึ่งที่ได้รับการออกแบบใหม่หมดให้มีไปป์ไลน์รวม 8 ขั้น เพื่อให้สามารถปฏิบัติคำสั่งเกี่ยวกับเลขทศนิยมได้ภายใน 1 คาบสัญญาณนาฬิกา FPU ของเพนเทียม ยังมีฮาร์ดแวร์พิเศษโดยเฉพาะสำหรับการคูณ การบวกและการหารที่ได้รับการออกแบบใหม่เพื่อคำนวณเลขทศนิยมอีกด้วย

เพนเทียมเร็วแค่ไหน

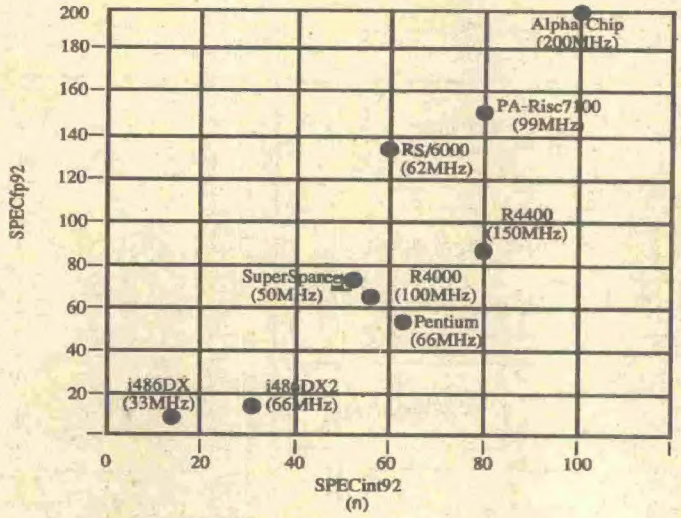
การใช้สถาปัตยกรรมซูเปอร์สเกล่าร์ผนวกกับส่วนประกอบอื่น ๆ ผลักดันให้เพนเทียมมีสมรรถนะเข้าไปใกล้ซีพียูแบบ RISC อย่างเช่น SuperSparc และ R4000 มากขึ้นจากรูปที่ 2 (ก) จะเห็นได้ว่าเพนเทียมรุ่น 66 เมกะเฮิรตซ์ ตาม SPECfp92 มีค่าเท่ากับ 56.9 เมื่อเทียบกับ SuperSparc (รุ่น 40 เมกะเฮิรตซ์) ซึ่งมีค่า 64.7 และ R4000 (รุ่นความถี่ภายใน 100 เมกะเฮิรตซ์) ซึ่งมีค่าเท่ากับ 61.5 (SPEC ย่อมาจาก System Performance and Evaluation Cooperative ซึ่งเป็นกลุ่มที่ก่อตั้งโดยบริษัทอพอลโล, ฮิวเล็ตต์-แพ็คการ์ด, มิพส์และซันไมโครซิสเต็มส์ และได้ออกแบบโปรแกรมทดสอบสมรรถนะคอมพิวเตอร์)

และจากผลการวัดสมรรถนะโดยอินเทลเอง ปรากฏว่าโปรแกรมเวิร์ด-โปรเซสเซอร์ทำงานได้เร็วขึ้น 56-65% ในขณะที่โปรแกรมด้านสเปรดชีตจะคำนวณได้เร็วขึ้น 38-41% เมื่อเทียบกับเครื่องที่ใช้ซีพียู i486DX2-66

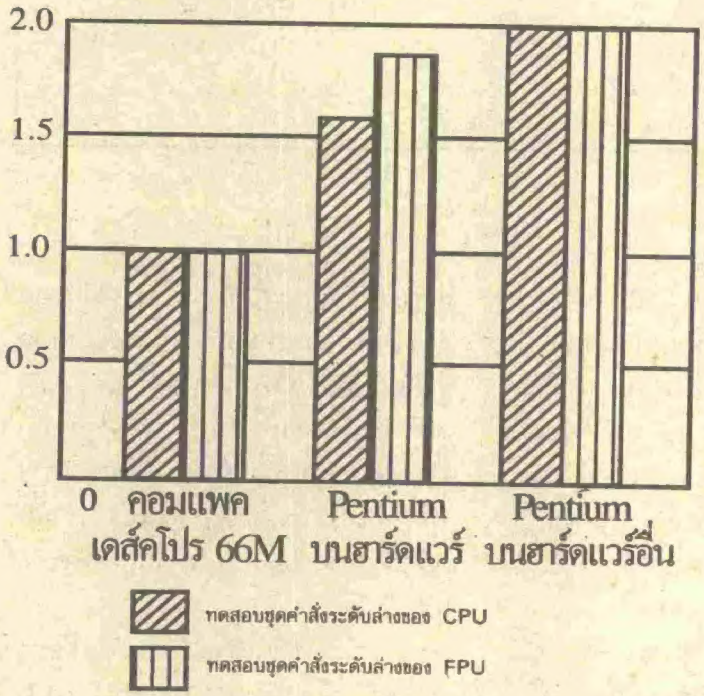
จากการวัดสมรรถนะโดยวารสารไบต์ซึ่งทดสอบเครื่องที่ใช้เพนเทียมเปรียบเทียบกับคอมแพคเดสค์โปร 66 M ซึ่งใช้ซีพียู i486DX2-66 พบว่าเครื่องที่ใช้เพนเทียม โดยมีฮาร์ดแวร์ที่ออกแบบโดยอินเทลจะเร็วกว่าคอมแพคราว ๆ 1.6 เท่า สำหรับการทดสอบในระดับชุดคำสั่งของซีพียู และเร็วกว่า 1.8 เท่า เมื่อทดสอบในระดับคำสั่ง FPU ในขณะที่เครื่องที่ใช้เพนเทียม และมีวงจรฮาร์ดแวร์ที่ผลิตจากบริษัทอื่นซึ่งไม่ได้เปิดเผยชื่อ พบว่าทั้งความเร็วในระดับการทำงานของซีพียูและ FPU จะสูงกว่า i486DX2-66 บนคอมแพคราว ๆ 2 เท่าตัว ดังรูป 2 (ข)

ปัญหาของเพนเทียม

สมรรถนะการทำงานสูงของเพนเทียม ได้ส่งผลให้มีปัญหาตามมาอย่างมากในเรื่องของการออกแบบแผงวงจรหลักสำคัญพีซีเพนเทียม ความจริงแล้วปัญหาที่ผู้ผลิตต้องผจญอยู่ก่อนหน้านี้แล้วก็คือ การออกแบบแผงวงจรสำหรับ i486DX ที่ความถี่ 50 เมกะเฮิรตซ์



รูปที่ 2 (ก) สมรรถนะของเพนเทียม จากวัดด้วยเบ็นชมาร์คของ SPEC (ที่มา : Nikkei Electronics Asia, มิ.ย. 1993)



(ข) สมรรถนะของเพนเทียม จากการวัดโดยเปรียบเทียบกับคอมแพค เดส์คโปร 66 M ที่ใช้ i486DX2-66

(i486DX2-66 นั้นทำงานที่ความถี่ภายนอกเพียง 33 เมกะเฮิรตซ์จึงไม่ได้เป็นปัญหาต่อการออกแบบเท่าใดนัก) ในขณะที่เพนเทียมรุ่นที่ช้าที่สุดก็มีความเร็วสูงถึง 60 เมกะเฮิรตซ์ และที่ความเร็วในระดับนี้บริษัทผู้ผลิตแผงวงจรหลักจะต้องหาทางเอาชนะกับปัญหาและอุปสรรคอย่างน้อย 4 ข้อนี้ให้ได้

1. ความร้อนจากตัวชิพ ชิพที่ทำงานด้วยความเร็วสูงอย่างเพนเทียมจะมีกำลังงานสูญเสียมาก ทำให้ชิพร้อนจัดผู้ผลิตจะต้องคำนึงถึงการระบายความร้อนและการจัดวางตำแหน่งชิพให้ดี

2. ฮาร์ดแวร์ส่วนอื่นที่ทำงานกับเพนเทียมฮาร์ดแวร์ส่วนอื่นในพีซีตั้งแต่ระบบหน่วยความจำ ส่วนเชื่อมต่อจอภาพและระบบบัสจะต้องได้รับการออกแบบให้รองรับความเร็วการทำงานของเพนเทียมได้

3. ความคงทนต่อสภาพผิดปกติ ด้วยความเร็วสูง ๆ โอกาสที่จะเกิดความผิดพลาดจากการทำงานที่ไม่ประสานกันในระบบก็มีมากตามขึ้นไป ผู้ผลิตพีซีรายย่อยที่ยังไม่มีประสพการณ์เพียงพอจะต้องพบกับอุปสรรคอย่างมากและคงต้องใช้เวลานานในการพัฒนาแผงวงจรให้มีความเชื่อถือได้สูง

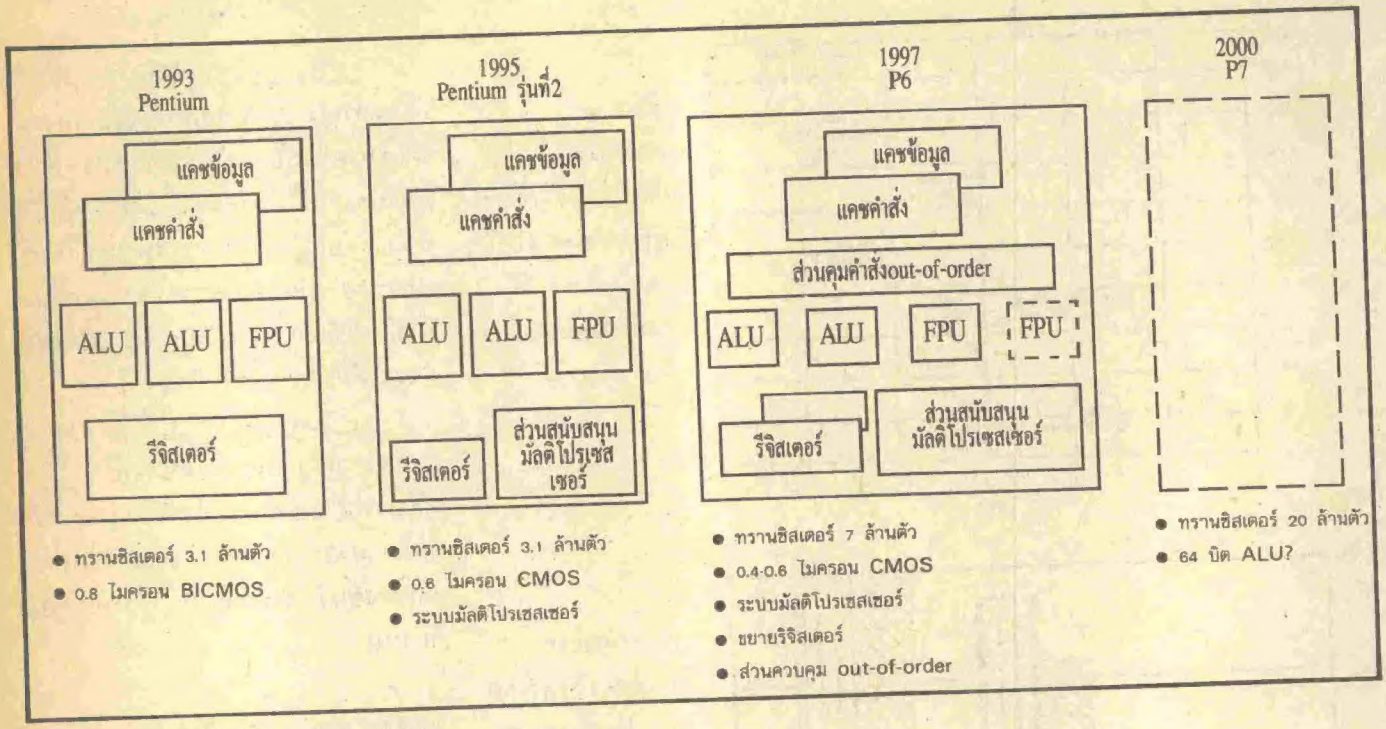
4. สัญญาณรบกวน พีซีที่ทำงานด้วยความเร็วสูงจะเป็นแหล่งสร้างสัญญาณรบกวนและไม่เป็นเรื่องง่ายนักที่ผู้ผลิตแผงวงจรจะต้องออกแบบให้ขอบเขตของสัญญาณรบกวนอยู่ในมาตรฐานที่กำหนด

AMD และ Cyrix ขยับตัวเข้าเพนเทียม

ในตลาดของซีพียูตระกูล 80X86 นอกจากอินเทลแล้ว อีกสองบริษัทยักษ์ใหญ่ คือ AMD และ Cyrix ก็เริ่มขานรับเทคโนโลยีของเพนเทียมตามมาทันที ถึงแม้ว่าทั้งคู่จะยังไม่มีกำลังความสามารถในการผลิตชิพที่เทียบเคียงกับเพนเทียมออกมาได้

ทาง AMD เพิ่งจะถอนหายใจได้เฮือกใหญ่เมื่อศาลยกเลิกคำสั่งห้าม AMD ใช้ไมโครโค้ดของอินเทลในชิพ 486 ของตัวเอง AMD เองก็กำลังเร่งพัฒนาเทคโนโลยีวงจรรวมขนาด 0.35 ไมครอน เพื่อสร้างชิพที่สามารถบรรจุทรานซิสเตอร์ได้ราว 10 ล้านตัว ชิพดังกล่าวจะเป็นชิพที่เทียบเคียงได้กับเพนเทียม และคาดว่าจะลงมือผลิตได้ในปี 1995

ส่วนทาง Cyrix เองก็กำลังเร่งพัฒนาชิพใหม่ที่จะมาเป็นคู่แข่งของเพนเทียม ชิพใหม่ของ Cyrix มีแนวโน้มว่าจะมีสถาปัตยกรรมภายในที่แตกต่าง



รูป 3 พัฒนาการของเพนเทียมและต่อไปยัง P6, P7

ไปจากเพนเทียม แหล่งข่าวของ Cyrix เองแจ้งว่าชิพดังกล่าวจะเริ่มผลิตได้ภายในปีนี้ โดยมีสมรรถนะราว 100-150 มิพส์ และไม่ต้องมีการปรับแต่งซอฟต์แวร์ใหม่เหมือนกับที่เพนเทียมต้องการ

ทางอินเทลเองก็คงจะไม่ยอมให้คู่แข่งของตัวเองก้าวขึ้นมาเทียบเคียงได้ และเริ่มพัฒนาชิพตัวใหม่ถัดไปจากเพนเทียม ภายใต้ชื่อรหัส P6 และคาดว่าจะเปิดตัวออกมาในอีกราว 18 เดือนข้างหน้า ชิพ P6 จะเป็นชิพที่มีทรานซิสเตอร์อยู่ราว 10 ล้านตัวและมีสมรรถนะสูงขึ้นไปถึง 200 มิพส์

เจาะเวลาหาอนาคต กับ P6 และ P7

ชิพ P6 ที่มีอยู่ระหว่างการพัฒนาของอินเทลคาดว่าจะมีส่วนที่ได้รับการปรับปรุงต่อจากเพนเทียมหลายอย่างเช่น

– เพิ่มขยายจำนวนริจิสเตอร์
– เพิ่มขนาดของแคช
– อาจเพิ่ม FPU เป็น 2 ชุด

ในขณะที่เพนเทียมและชิพ P6 ตัวถัดไปของอินเทลยังคงรักษาสถาปัตยกรรม ALU ขนาด 32 บิต ไว้อย่างเหนียวแน่น แต่ทว่าก็เป็นที่คาดการณ์ว่าชิพ "P7" ตัวถัดไปอีกจะกลายเป็นซีพียู 64 บิตดังแสดงในรูปที่ 3 อย่างไรก็ตาม โอกาสที่อินเทลจะขยับจากสถาปัตยกรรม 32 บิตมาเป็น 64 บิตหรือไม่นั้นยังเป็นเรื่องที่หาคำตอบได้ยาก ทั้งนี้เนื่องจากสถาปัตยกรรม 64 บิตไม่ได้มีส่วนสำคัญในการช่วยเพิ่มสมรรถนะมากขึ้นเท่าไรนัก อีกทั้งอินเทลคงต้องทำการบ้านอย่างหนักในการปรับปรุงโครงสร้างภายในของซีพียูให้เป็น 64 บิตอย่างแท้จริง

ส่งท้าย

ในขณะที่พีซีในยุคถัดไปกำลังก้าวเดินไปสู่เพนเทียม แต่ก็เป็นที่เห็นได้อย่างค่อนข้างชัดเจนว่าเพนเทียมจะยังคงไม่ได้ส่งผลกระทบต่อชิพ i486 แต่อย่างใดในช่วงเวลานี้ ทั้งนี้เนื่องจากตัวชิพและพีซีที่จะมีราคาสูงลิ่ว อีกทั้งสมรรถนะของระบบที่สูงจนอยู่ในระดับที่เหมาะสมกับการใช้งานเป็นตัวบริการหรืองานประยุกต์เฉพาะด้านอย่างมัลติมีเดียมืออาชีพมากกว่าที่จะเป็นพีซีสำหรับผู้ใช้ทั่วไป

นอกจากนี้ก็ยังไม่มีซอฟต์แวร์ใด ๆ ที่จะดึงเอาขีดความสามารถของ ALU ขนานในเพนเทียมมาใช้ได้อย่างแท้จริง ตลอดจนผู้ผลิตพีซีคงยังต้องคร่ำเคร่งกับการออกแบบแผงวงจรสำหรับเพนเทียมอยู่อีกระยะหนึ่ง

เพนเทียมอาจต้องใช้เวลานานกว่าที่ i486 ใช้ในการก้าวขึ้นมาแทนที่ i386 ดังนั้นแล้ว ในระยะอันใกล้นี้ i486 ก็ยังคงจะเป็นชิพหลักในการผลิตพีซีสำหรับการใช้งานปัจจุบันอยู่ต่อไป